

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-70281

(43)公開日 平成10年(1998) 3月10日

(51)IntCl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 6 K
21/336				3 0 1 X
29/78				6 1 6 T
				6 1 9 A

審査請求 有 請求項の数10 F D (全 4 頁)

(21)出願番号 特願平9-178944

(22)出願日 平成9年(1997) 6月19日

(31)優先権主張番号 1 9 9 6 P 2 6 3 7 3

(32)優先日 1996年 6月29日

(33)優先権主張国 韓国 (K R)

(71)出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136  
- 1

(72)発明者 金 載 甲

大韓民国 京畿道 利川市 葛山里 606  
現代アパート 203-206

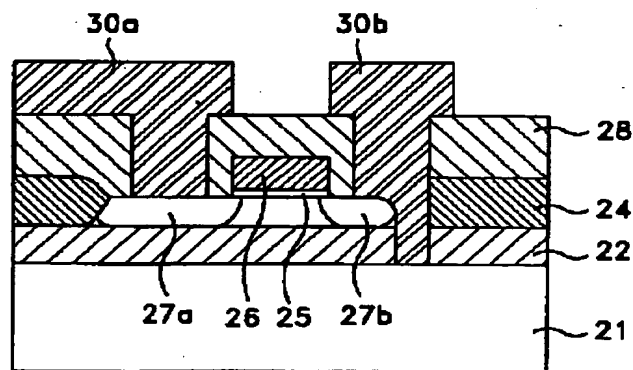
(74)代理人 弁理士 斎藤 栄一

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 本発明の目的は配線の密度を減らすことにより、高集積化を達成することのでき、且つ生産性を向上させることのできるSOI構造の半導体装置及びその製造方法を提供することにある。

【解決手段】 ウェーハ上に絶縁膜及び半導体層が順次積層されたSOI構造の基板を備える、本発明による半導体装置は、前記半導体層上に形成されたゲート絶縁膜及びゲートと、前記ゲート両側の半導体層内にそれぞれ形成された第1及び第2不純物拡散領域と、前記基板の全面に形成され前記第1不純物拡散領域の所定部分を露出させる第1コンタクトホールを備えた層間絶縁膜と、前記第2不純物拡散領域及び前記ウェーハの所定部分を同時に露出させる第2コンタクトホールと、前記第1コンタクトホールを通じて前記第1不純物拡散領域と電気的にコンタクトされた第1配線層と、前記第2コンタクトホールを通じて前記第2不純物拡散領域及び前記ウェーハの所定部分と同時に電気的にコンタクトされた第2配線層とを含む。



## 【特許請求の範囲】

【請求項1】 ウェーハ上に絶縁膜及び半導体層が順次積層された構造の基板を備える半導体装置において、前記半導体層上に形成されたゲート絶縁膜及びゲートと、

前記ゲート両側の半導体層内にそれぞれ形成された第1及び第2不純物拡散領域と、

前記基板の全面に形成され、前記第1不純物拡散領域の所定部分を露出させる第1コンタクトホールと、前記第2不純物拡散領域及び前記ウェーハの所定部分を同時に露出させる第2コンタクトホールとが備えられた層間絶縁膜と、

前記第1コンタクトホールを通じて前記第1不純物拡散領域と電気的にコンタクトされた第1配線層と、前記第2コンタクトホールを通じて前記第2不純物拡散領域及び前記ウェーハの所定部分とを同時に電気的にコンタクトする第2配線層とを含むことを特徴とする半導体装置。

【請求項2】 前記第1不純物拡散領域はドレイン領域であり、前記第2不純物拡散領域はソース領域であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第2配線層は前記ソース領域と同時に接続された配線であることを特徴とする、請求項2記載の半導体装置。

【請求項4】 前記第1不純物拡散領域はソース領域であり、前記第2不純物領域はドレイン領域であることを特徴とする、請求項1記載の半導体装置。

【請求項5】 前記第2配線層は前記ドレイン領域と同時に接続された配線であることを特徴とする、請求項4記載の半導体装置。

【請求項6】 ウェーハ上に絶縁膜及び半導体層が順次積層された構造の基板が備えられ、前記基板上に絶縁膜及びゲートが形成されると共に、前記ゲート両側の前記半導体層内に第1及び第2不純物拡散領域が形成された半導体装置の製造方法において、

前記基板の全面に層間絶縁膜を形成する工程と、前記層間絶縁膜をエッチングして前記第1不純物拡散領域の所定部分を露出される第1コンタクトホールと、前記第2不純物拡散領域及び前記ウェーハの所定部分を同時に露出させる第2コンタクトホールとを形成する工程と、

前記第1及び第2コンタクトホールに埋め込まれるように前記層間絶縁膜上に金属層を形成する工程と、

前記金属層をパターニングして前記第1コンタクトホールを通じて前記第1不純物拡散領域とコンタクトする第1金属配線層と、前記第2コンタクトホールを通じて前記第2不純物拡散領域及び前記ウェーハの所定部分と同時にコンタクトする第2金属配線層とを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項7】 前記第1不純物拡散領域はドレイン領域

であり、前記第2不純物拡散領域はソース領域であることを特徴とする、請求項6記載の半導体装置の製造方法。

【請求項8】 前記第2金属配線層は前記ソース領域と同時に接続された配線であることを特徴とする半導体装置の製造方法。

【請求項9】 前記第1不純物拡散領域はソース領域であり、前記第2不純物拡散領域はドレイン領域であることを特徴とする、請求項6記載の半導体装置の製造方法。

【請求項10】 前記第2金属配線層は前記ドレイン領域と同時に接続された配線であることを特徴とする、請求項9記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】本発明は半導体装置及びその製造方法に係り、特に高集積化に対応することのできるSOI (Silicon On Insulator) 構造の半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】半導体基板内のウェルに素子が形成されるCMOS装置から見られるように、PN接合分離構造では寄生MOSトランジスタや寄生バイポーラトランジスタなどの能動的寄生効果が発生する。これによってラッチアップ(latch-up)現象が発生してデバイスが破壊されるか、ソフトエラーなどの問題が生じる。このような問題を解決すると共に高集積化のために、SOI構造の半導体装置が開発されている。SOI構造とは半導体基板上に絶縁膜が備えられ、この絶縁膜上に素子が形成されることのできる半導体層が積層された構造のことであって、半導体基板と素子の形成されている領域が絶縁膜によって完全に分離される。従って、完全な素子分離及び高速動作が可能である。

【0003】図1は従来のSOI構造のMOSトランジスタを示す断面図である。

【0004】図1に示すように、ウェーハ1上に絶縁膜2及び半導体層3が順次積層されてSOI構造の基板が形成され、半導体層3上にフィールド酸化膜4が形成され、フィールド酸化膜4の間の半導体層3上にゲート絶縁膜5及びゲート6が形成される。半導体層3にソース及びドレイン領域7a、7bが形成され、このソース及びドレイン領域7a、7bの所定部分を露出させるコンタクトホールを備える層間絶縁膜8が基板の全面に形成される。そして、前記コンタクトホールを通じて露出されたソース及びドレイン領域7a、7bとコンタクトするソース及びドレイン電極9a、9bが形成される。

## 【0005】

【発明が解決しようとする課題】上述されたSOI構造のMOSトランジスタでは、ソース或いはドレイン電極9a、9bが別々の配線を通じて他のMOSトランジスタ

タのそれぞれのソース或いはドレイン電極と共にVSS或いはVDDに接続される。

【0006】しかし、VSS或いはVDD配線は、半導体装置の高集積化に応じて配線の密度が大きくなるので、高集積化の妨げとなる。尚、生産工程時に高い配線密度のため収率が減少する。

【0007】従って、本発明の目的は配線の密度を減らすことにより、高集積化を達成することのでき、且つ生産性を向上させることのできるSOI構造の半導体装置及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明による半導体装置はウェーハ上に絶縁膜及び半導体層が順次積層されたSOI構造の基板を備える。そして、半導体層上にゲート絶縁膜及びゲートが形成され、ゲート両側の半導体層に第1及び第2不純物拡散領域が形成される。層間絶縁膜が基板全面に形成されてゲートと第1及び第2不純物拡散領域を絶縁する。層間絶縁膜は、第1不純物拡散領域の所定部分を露出させる第1コンタクトホールと、第2不純物拡散領域及びウェーハの所定部分を同時に露出させる第2コンタクトホールとが備えられる。第1配線層が第1コンタクトホールを通じて第1不純物拡散領域と電気的にコンタクトされ、第2配線層が第2コンタクトホールを通じて第2不純物拡散領域及び前記ウェーハの所定部分と同時に電気的にコンタクトされる。

【0009】また、上記目的を達成するために、本発明によれば、ウェーハ上に絶縁膜及び半導体層が順次積層されたSOI構造の基板が備えられ、基板上に絶縁膜及びゲートが形成されると共に、ゲート両側の半導体層内に第1及び第2不純物拡散領域が形成された半導体装置の製造方法において、まず基板全面に層間絶縁膜が形成され、層間絶縁膜がエッチングされて第1不純物拡散領域の所定部分を露出させる第1コンタクトホールと、第2不純物拡散領域及びウェーハの所定部分を同時に露出させる第2コンタクトホールが形成される。そして、第1及び第2コンタクトホールに埋め込まれるように層間絶縁膜上に金属層が形成され、金属層がパターンニングされて第1コンタクトホールを通じて第1不純物拡散領域とコンタクトする第1金属配線層と、第2コンタクトホールを通じて第2不純物拡散領域及びウェーハの所定部分を同時にコンタクトする第2金属配線層とが形成される。

【0010】前記構成から成る本発明によると、一側の不純物拡散領域がウェーハ内で接続されることにより、ウェーハの所定部分と、ウェーハ内の他のアクティブ領域の不純物拡散領域とが接続され、配線の密度が減少する。

【0011】

【発明の実施の形態】以下、図2乃至図7を参照して本

発明の実施例によるSOI構造のMOSトランジスタの製造方法を説明する。

【0012】図2に示すように、ウェーハ21上に絶縁膜22が形成され、絶縁膜22上に半導体層23が積層されて、SOI構造の基板200が形成される。ウェーハ21はシリコン基板であり、ウェーハ21と半導体層23は第1導電型、例えばP型或いはN型の不純物がドーピングされている。この際、P型不純物がドーピングされる場合にはBイオンが用いられ、ドーピング濃度は $5 \times 10^{16}$ 乃至 $5 \times 10^{18}$  ions/cm<sup>3</sup> となるようにする。尚、N型不純物がドーピングされる場合にはPイオンが用いられ、ドーピング濃度は $5 \times 10^{15}$ 乃至 $5 \times 10^{18}$  ions/cm<sup>3</sup> となるようにする。

【0013】図3に示すように、半導体層23の所定部分に素子間分離のためのフィールド酸化膜24が形成されてMOSトランジスタのアクティブ領域が定められる。基板上に絶縁膜及びポリシリコン膜が順次蒸着されパターニングされて、フィールド酸化膜24の間の半導体層23上にゲート絶縁膜25及びゲート26が形成される。

【0014】図4に示すように、ゲート26両側の半導体層23に、第1導電型と反対導電型である第2導電型、例えばP型或いはN型不純物の注入で、半導体層23内に不純物拡散領域27a、27bが形成される。この不純物拡散領域27a、27bはMOSトランジスタのソース及びドレイン領域として作用する。

【0015】図5に示すように、図4の構造上に層間絶縁膜28が形成される。その後、層間絶縁膜28上部にフォトリソグラフィ技術によって所定のマスクパターンMが形成される。

【0016】図6に示すように、マスクパターンMをエッチングマスクとして利用するエッチング工程によって、層間絶縁膜28がエッチングされる。これによって、不純物拡散領域27a、27bの所定部分が露出されると共に、一側の不純物拡散領域27bに近接したフィールド酸化膜24と、このフィールド酸化膜24下部の絶縁膜22とがエッチングされてウェーハ21の所定部分が露出されることにより、コンタクトホール29a、29bが形成される。

【0017】図7に示すように、マスクパターンMが除去された後、コンタクトホール29a、29bに埋め込まれるように層間絶縁膜28上に金属層が蒸着される。前記金属層がパターニングされて、露出された不純物拡散領域27aとコンタクトされる第1金属配線層30aと、露出された不純物拡散領域27b及びウェーハ21とコンタクトされる第2金属配線層30bとが形成される。

【0018】

【発明の効果】上述した実施例から分かるように、本発明によれば、一側の不純物拡散領域、例えばソース領域

(4)

特開平10-70281

5

(或いはドレイン領域)がウェーハ内で同時に接続されることにより、ウェーハを通じて他のアクティブ領域に形成されたソース領域(或いはドレイン領域)と互いに連結される。これによって、別度のVSS配線(或いはVDD配線)によるソース領域(或いはドレイン領域)の連結が不要になって、VSS配線(或いはVDD配線)の数が最少化される。

【0019】従って、配線の密度を減らすことにより、半導体装置の高集積化を達成することができ、且つ生産性を向上させる、即ち生産収率を増大させることもできる。

【0020】尚、本発明は前記実施例に限らず、本発明の技術的な要旨から外れぬ範囲内で多様な変形が可能である。

【図面の簡単な説明】

【図1】従来のSOI構造のMOSトランジスタを示す断面図である。

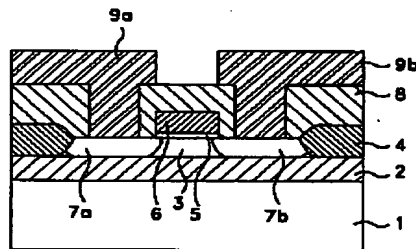
【図2】本発明の実施例によるSOI構造のMOSトランジスタの製造方法を示す断面図である。

【図3】本発明の実施例によるSOI構造のMOSトラ

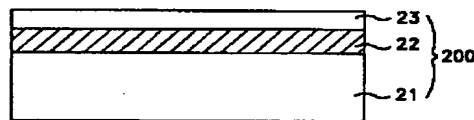
10 【符号の説明】

- 21 ウェーハ
- 22 絶縁膜
- 23 半導体層
- 24 フィールド酸化膜
- 25 ゲート絶縁膜
- 26 ゲート
- 26a、27b 不純物拡散領域
- 28 層間絶縁膜
- 29a、29b コンタクトホール
- 30a、30b 第1及び第2金属配線層

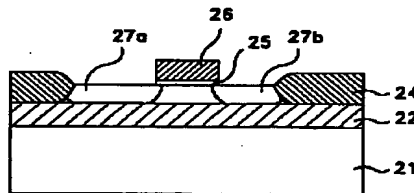
【図1】



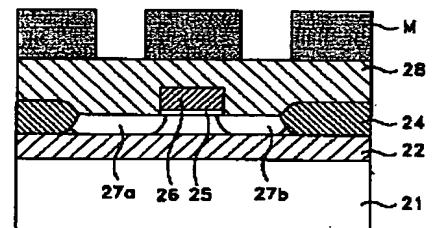
【図2】



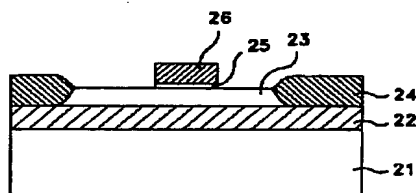
【図4】



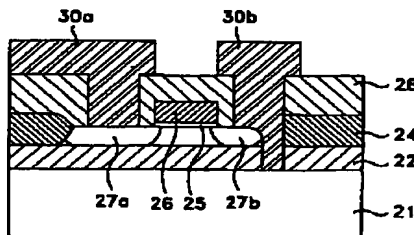
【図5】



【図3】



【図7】



【図6】

